

PAT-NO: JP356060959A  
DOCUMENT-IDENTIFIER: JP 56060959 A  
TITLE: DIAGNOSTIC SYSTEM  
PUBN-DATE: May 26, 1981

INVENTOR-INFORMATION:  
NAME  
MIURA, HIDEMI

ASSIGNEE-INFORMATION:  
NAME TOSHIBA CORP COUNTRY  
N/A

APPL-NO: JP54136623  
APPL-DATE: October 23, 1979

INT-CL (IPC): G06F011/26, G06F009/22 , G06F015/06  
US-CL-CURRENT: 714/FOR.293

ABSTRACT:

PURPOSE: To facilitate the maintenance and debugging operation of modules connected to a processor by simple constitution, by making use of program executing functions provided originally to a microcomputer.

CONSTITUTION: Prior to ordinary data processing, microprocessor  $\mu$ ; -CPU101 reads and executed the program for system initialization control in a specific address of ROM-A103. During this program execution, CPU101 reads set data for assigning the operation mode from input-output port Pi of predetermined

specific I/O105i and judges the operation mode. When the diagnosis request is not made, the system program in ROM-A103 is executed and when it is made, one diagnostic microprogram in ROM-B107 is selected and executed on the basis of information read out of port Pi.

COPYRIGHT: (C)1981, JPO&Japio

⑨ 日本国特許庁 (JP)

⑩ 特許出願公開

⑫ 公開特許公報 (A)

昭56—60959

⑪ Int. Cl.<sup>3</sup>

G 06 F 11/26

9/22

15/06

識別記号

庁内整理番号

7368—5B

7060—5B

7257—5B

⑬ 公開 昭和56年(1981)5月26日

発明の数 1

審査請求 未請求

(全 3 頁)

⑭ 診断方式

東京芝浦電気株式会社青梅工場  
内

⑮ 特 願 昭54—136623

⑯ 出 願 昭54(1979)10月23日

⑰ 発 明 者 三浦秀巳

青梅市末広町2丁目9番地の1

⑱ 出 願 人 東京芝浦電気株式会社

川崎市幸区堀川町72番地

⑲ 代 理 人 弁理士 鈴江武彦 外2名

明 細 書

1. 発明の名称

診 断 方 式

2. 特許請求の範囲

(1) マイクロプロセッサと、このマイクロプロセッサの制御用マイクロプログラムを格納する第1の制御記憶部と、前記マイクロプロセッサに接続されるシステム構成要素に対応した診断用マイクロプログラムを格納し、前記第1の制御記憶部の特定マイクロプログラム実行時において選択的に読出し制御される第2の制御記憶部とを有し、前記マイクロプロセッサが前記第1の制御記憶部の特定マイクロプログラムにより、診断動作の有無を判断し、この判断結果に基づいて前記第2の制御記憶部のマイクロプログラムに従う診断動作を実行することを特徴とした診断方式。

(2) 診断の有無および診断対象をマイクロプロセッサに接続された特定の機器に予め設定し、前記マイクロプロセッサがシステムイニシヤ

ライズ制御時において前記特定の機器より前記設定情報を読取って診断の有無判断および診断プログラムの選択を行なう特許請求の範囲第1項記載の診断方式。

3. 発明の詳細な説明

本発明はマイクロコンピュータシステムの診断方式に関する。

従来、マイクロコンピュータシステムにおいて、保守デバッグ動作を行なうには、メンテナンスツールと呼ばれるハードウェアをそのシステム内、又は外部接続モジュールとして設けていた。このハードウェア(メンテナンスツール)は、一般にマイクロコンピュータそのものの持つ「HALT」、「READY」、「WAIT」、「INITIALIZE」等の各種の機能及び入力クロックを制御するために、多くのロジックを必要とし、従って構成が非常に複雑となっていた。またその動作もマイクロコンピュータのハードウェアによつて制限されてしまい、従って十分な保守デバッグが行なえなかつた。

本発明は上記実情に鑑みなされたもので、既存マイクロコンピュータの通常のプログラム実行機能を有効に利用して、簡単な構成により多種多様なテスト動作を可能ならしめ、これによりマイクロコンピュータシステム内におけるプロセッサ接続モジュールの保守、デバッグを容易にし、しかも迅速に行なうことのできるようにした診断方式を提供することを目的とする。

以下図面を参照して本発明の一実施例を説明する。

第1図は本発明に係るマイクロコンピュータシステム全体の構成を示すブロック図である。図中101はシステム全体の制御を司るマイクロプロセッサ(以下 $\mu$ -CPUと称す)であり、102はこの $\mu$ -CPU101に動作用クロックを供給するクロック発生器である。103は上記 $\mu$ -CPU101の制御用マイクロプログラムを格納した制御記憶部(以下ROM-Aと称す)であり、104はプログラム実行のためのワーキングエリアとなるランダムアクセスメモリ(以下

3

ROM-B107は予めシステムの一構成要素として固定的に設けておく構成であつてもよく、或いは一つのオプションとして任意に接続できる構成であつてもよい。

第2図は本発明の動作を説明するためのフローチャートである。

ここで作用を説明する。先ずシステム電源が投入されると、 $\mu$ -CPU101は通常のデータ処理に先立ち、ROM-A103の特定番地よりシステムイニシャライズ制御のためのプログラムを脱出し実行する。この際のプログラム実行時において、 $\mu$ -CPU101は、予め定められた或る特定のI/O105の入出力ポートP1より、動作モードを指定するための設定データを読み取り(第2図ステップa)、動作モードを判断する(ステップb)、ここで診断要求があればROM-A103のシステムプログラムを実行し(ステップc)、又、診断要求がある際は、上記I/O105の入出力ポートP1より脱取った情報に基づいて1つの診断用

5

RAMと称す)である。I/O105、I/O5mは各種の入出力モジュール(以下I/Oと称す)であり、それぞれに固有のI/OポートP1、~Pmを持ち、CPUバス(CPU-BUS)を介して $\mu$ -CPU101に接続される。このI/O105、~I/O5mのうちの或る特定の1個のI/O(例えばI/O51)はマニュアル設定によるデータインプットが可能な入力モジュールである。I/O6は $\mu$ -CPU101に接続されるROM、RAM、I/O等の各種モジュールを制御するシステムコントローラである。I/O7は $\mu$ -CPU101に接続される各種のI/O105、~I/O5mに対する診断用マイクロプログラムを格納した制御記憶部(以下ROM-Bと称す)であり、上記した特定のI/O1051より診断の要求があつた場合のみ、特定のマイクロプログラム実行時(ここでは一例としてシステムイニシャライズ制御時)において脱出し制御されるもので、その他の通常の処理動作時においては脱出し制御されない。この

4

マイクロプログラムを選択し、実行する(ステップd)。この診断用プログラムによる具体的な一動作例として、ここでは、或る特定の現象を繰返し生起させるための所謂ループ動作について説明する。 $\mu$ -CPU101は、上記診断用マイクロプログラムにより、予め決められたI/O1051の入出力ポートPiから、プログラムの実行開始番地および終了番地を示すデータを脱し読み込み、この実行開始番地から終了番地までの間のROM-A103に記憶された全ての命令をRAM104の空き領域に書き込み、最後に実行開始番地へのジャンプ命令を書き込んで、プログラムカウンタへ実行開始番地をセットする。以後 $\mu$ -CPU101はRAM-A104の上記領域に貯えられたプログラムを連続して実行する。これによりループ動作が実行できる。

このようにして、マイクロコンピュータ本来のもつプログラム実行機能を有効に用い、簡単な構成にてプロセッサ接続モジュールの保守デバッグ動作が行なえ、かつ診断用マイクロプロ

6

の替換えのみで容易に診断用動作の追加、変更等が可能なマイクロコンピュータシステムの診断方式が提供できる。

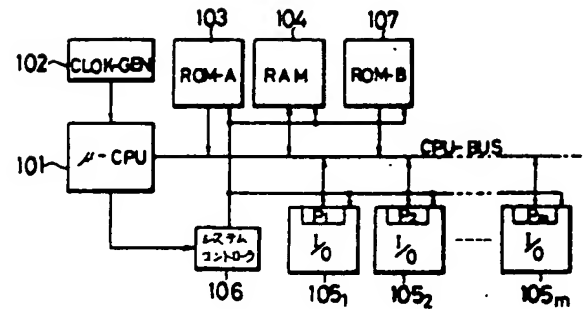
#### 4. 図面の簡単な説明

第1図は本発明の一実施例におけるシステム構成を示すブロック図、第2図は上記実施例の動作を説明するためのフローチャートである。

101…マイクロプロセッサ(μ-CPU)、  
102…クロック発生器、103…制御記憶部(ROM-A)、  
104…ランダムアクセスメモリ(RAM)、105<sub>1</sub>、105<sub>2</sub>…  
105<sub>m</sub>…入出力モジュール(I/O)、106…システムコントローラ、107…制御記憶部(ROM-B)。

出願人代理人 弁護士 鈴木 武彦

第1図



第2図

